**Примерные оценочные материалы, применяемые при проведении** **защит курсовых проектов по дисциплине**

**«Организация вычислительных машин и систем»**

При проведении защит курсовых проектовнеобходимо представить отчет, включающий техническое задание, пояснительную записку, электрическую принципиальную или функциональную схему разработанного устройства, а такжедать ответы на 4–6 вопросов из перечня, приведенного ниже, в соответствие с заданным вариантом проекта.

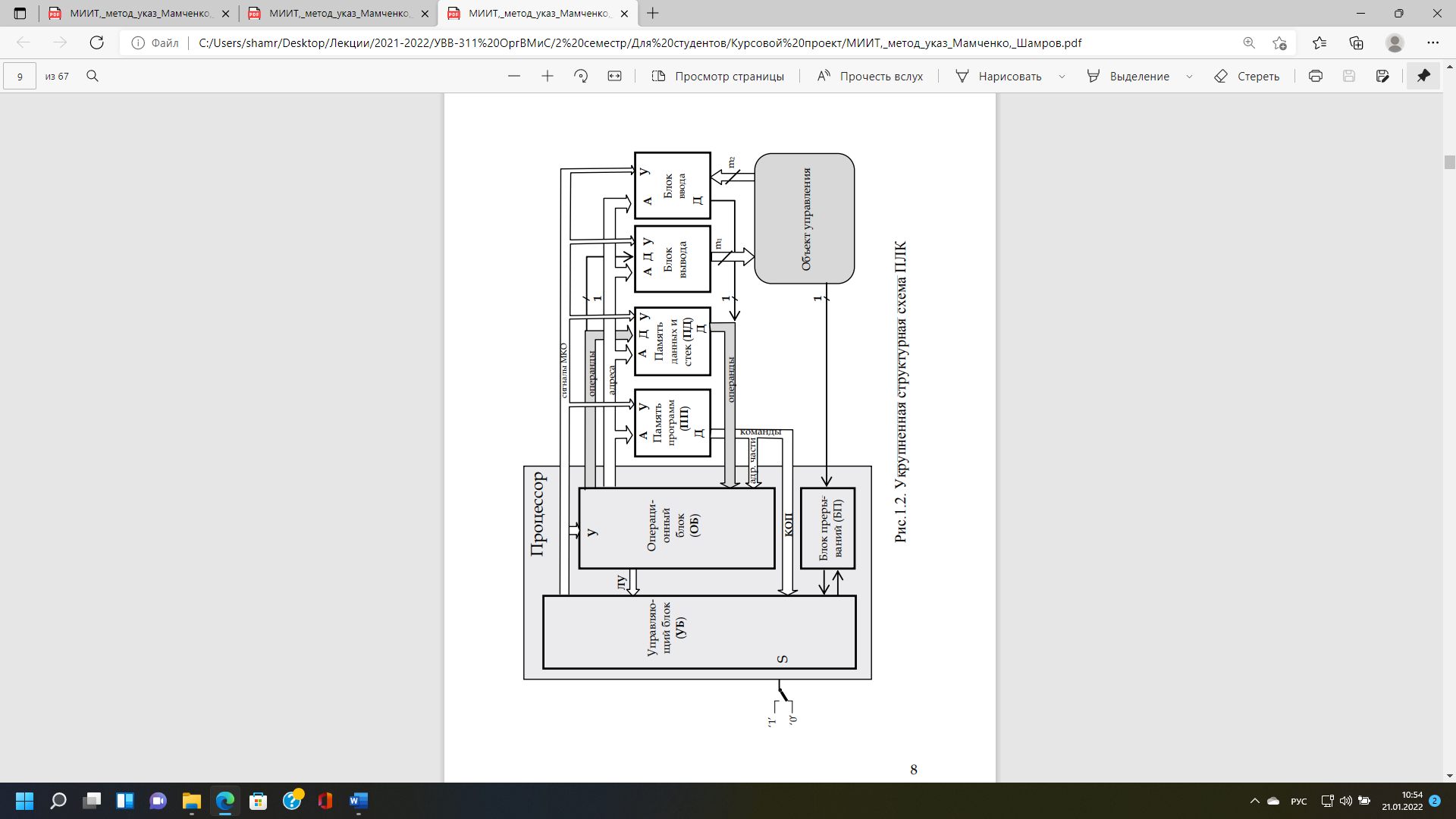
**Примерный перечень вопросов**

1. Поясните техническое задание на проект
2. Программистская модель процессора
3. Расчет разрядности адресных шин процессора
4. Расчет разрядности процессора
5. Регистровая модель процессора
6. Форматы и адреса программно-доступных регистров
7. Форматы используемых операндов.
8. Выбор форматов команд процессора
9. Алгоритмы исполнения сложных команд
10. Структурная организация блока АЛУ
11. Организация цепей сдвига в процессоре
12. Структурная организация блока устройства управления,
13. Структурная организация блока прерывания,
14. Структурная организация устройства сопряжения с памятью
15. Структурная организация устройство сопряжения с модулями ввода-вывода
16. Схема адресации устройства
17. Принципы организации арбитража обращений в память
18. Схема синхронизации и начальной установки;
19. Принстонская и гарвардская архитектура ЭВМ
20. Общая структурная схема устройства, включающая все разработанные блоки и их соединения.
21. Электрическая принципиальная схема блока АЛУ
22. Электрическая принципиальная схема блока устройства управления,
23. Электрическая принципиальная схема блока прерывания,
24. Электрическая принципиальная схема устройства сопряжения с памятью
25. Электрическая принципиальная схема устройства сопряжения с модулями ввода-вывода
26. Временные диаграммы работы устройства. синхронизации и начальной установки
27. Расчет длительности такта синхронизации разработанного устройства
28. Разработка блок-схем и кодирование микропрограмм машинного цикла.
29. Микропрограмма машинного цикла процессора
30. Организация обращений процессора в память и к устройствам ввода-вывода
31. Микропрограммы реализации заданных команд процессора
32. Микропрограмма чтения и дешифрации команд
33. Микропрограммно-реализуемые процедуры системы прерывания
34. Оценка длительности выполнения операций (команд) устройства.
35. Программы реализации процедур прерывания

**Варианты курсовых проектов**

**Вариант 1.** Программируемый логический контроллер ПЛК.

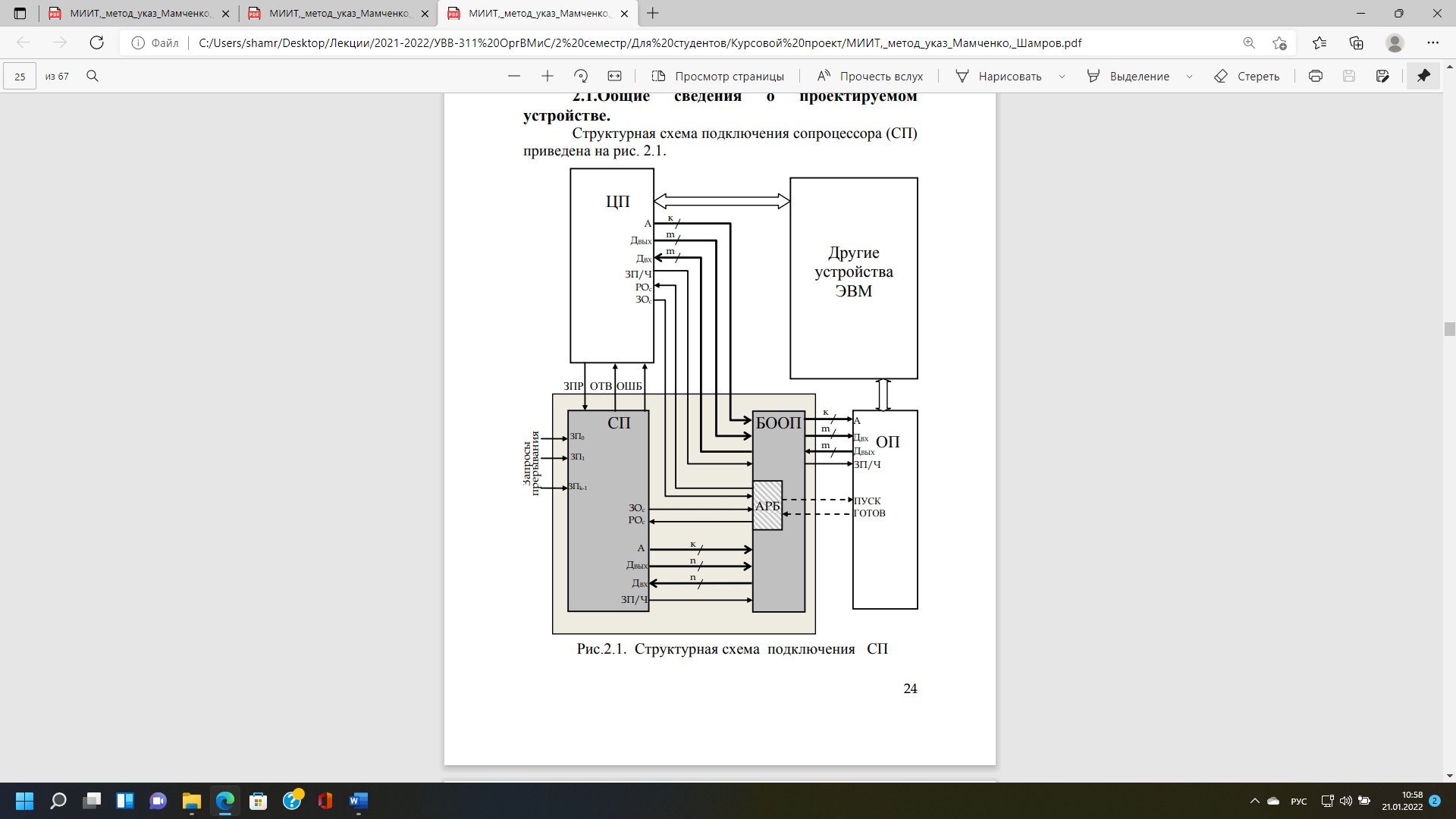
Разработать программируемый логический контроллер (ПЛК), представлявший собой простейшую специализированную ЭВМ для управления несложными объектами и технологическими процессами.



|  |  |
| --- | --- |
| № вар | Тема проекта |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 256Б, ПД – 256Б, ВВОД-32б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 256Б, ПД – 128Б, ВВОД-16б, ВЫВОД-16б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 256Б, ПД – 256Б, ВВОД-32б, ВЫВОД-16б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 4096Б, ПД – 1024Б, ВВОД-4б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 256Б, ПД – 64Б, ВВОД-8б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 1024Б, ПД – 256Б, ВВОД-8б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К589(параметры: ПП - 1024Б, ПД – 512Б, ВВОД-4б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К589 (параметры: ПП - 1024Б, ПД – 64Б, ВВОД-8б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К589 (параметры: ПП - 1024Б, ПД – 512Б, ВВОД-8б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К589 (параметры: ПП - 1024Б, ПД – 256Б, ВВОД-8б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К589 (параметры: ПП - 1024Б, ПД – 512Б, ВВОД-16б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 256Б, ВВОД-8б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с гарвардской архитектурой на базе микросхем серии К1804 (параметры: ПП - 512Б, ПД – 2048Б, ВВОД-4б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 256Б, ВВОД-16б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 64Б, ВВОД-4б, ВЫВОД-12б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 128Б, ВВОД-12б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 512Б, ВВОД-8б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К1804 (параметры: ПП - 2048Б, ПД – 256Б, ВВОД-12б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 512Б, ПД – 256Б, ВВОД-8б, ВЫВОД-8б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 256Б, ПД – 512Б, ВВОД-16б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 256Б, ПД – 64Б, ВВОД-16б, ВЫВОД-16б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 512Б, ПД – 64Б, ВВОД-4б, ВЫВОД-12б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 512Б, ПД – 256Б, ВВОД-8б, ВЫВОД-4б) |
|  | Программируемый логический контроллер с принстонской архитектурой на базе микросхем серии К589 (параметры: ПП - 512Б, ПД – 256Б, ВВОД-8б, ВЫВОД-8б) |

**Вариант 2**. Сопроцессор с архитектурой RISC

Сопроцессор (СП) функционирует параллельно с центральным процессором ЦП и использует общую с ЦП оперативную память (ОП). Для организации обращений двух процессоров в общую ОП используется блок обращений в ОП (БООП), в состав которого входит арбитр (АРБ) для разрешения конфликтов при одновременных обращениях процессоров.



|  |  |
| --- | --- |
| № вар | Тема проекта |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ2 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ2 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ2 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К1804ВУ2 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС1 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС1 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К1804ВС2 и БМУ К589ИК01 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К1804ВС2 и БМУ К589ИК01 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ1 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ1 |
|  | Восьмиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ2 |
|  | Восьмиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8080 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ2 |
|  | Шестнадцатиразрядный процессор с архитектурой i8086 на базе ЦПЭ К589ИК02 и БМУ К1804ВУ2 |