

МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РОССИЙСКИЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра «Вычислительные системы, сети и информационная
 безопасность»

АННОТАЦИЯ К РАБОЧЕЙ ПРОГРАММЕ ДИСЦИПЛИНЫ

«Организация вычислительных машин и систем»

Направление подготовки:	09.03.01 – Информатика и вычислительная техника
Профиль:	Вычислительные машины, комплексы, системы и сети
Квалификация выпускника:	Бакалавр
Форма обучения:	очная
Год начала подготовки	2019

1. Цели освоения учебной дисциплины

Целями освоения учебной дисциплины «Организация вычислительных машин и систем» являются:

- изучение принципов построения электронных вычислительных машин (ЭВМ) и систем, их функциональной и структурной организации, составных частей и их взаимодействия,
- формирование компетенций в области разработки и использования современных вычислительных средств.

Дисциплина предназначена для получения знаний для решения следующих типов задач профессиональной деятельности:

Производственно-технологический

- разработка архитектуры ИС
- разработка прототипов ИС
- коррекция производительности сетевой инфокоммуникационной системы

Организационно-управленческий

- контроль использования сетевых устройств и программного обеспечения
- оценка производительности сетевых устройств и программного обеспечения

Проектный

- определение первоначальных требований заказчика к ИС и возможности их реализации в ИС на этапе предконтрактных работ
- разработка драйверов устройств
- разработка функциональных тестов для моделей сложнофункциональных блоков (СФ-блоков) и ИС на языках описания и верификации аппаратуры

2. Место учебной дисциплины в структуре ОП ВО

Учебная дисциплина "Организация вычислительных машин и систем" относится к блоку 1 "Дисциплины (модули)" и входит в его вариативную часть.

3. Планируемые результаты обучения по дисциплине (модулю), соотнесенные с планируемыми результатами освоения образовательной программы

Процесс изучения дисциплины направлен на формирование следующих компетенций:

ПКР-1	Способность выполнять работы и управлять работами по разработке архитектур и прототипов информационных систем (ИС)
ПКР-2	Способность восстанавливать параметры программного обеспечения сетевых устройств инфокоммуникационной системы

4. Общая трудоемкость дисциплины составляет

10 зачетных единиц (360 ак. ч.).

5. Образовательные технологии

Преподавание дисциплины «Организация вычислительных машин и систем» осуществляется в форме лекций и лабораторных занятий. Лекции проводятся в традиционной классно-урочной организационной форме в объеме 54 часа, по типу управления познавательной деятельностью на 100 % являются традиционными классически-лекционными (объяснительно-иллюстративными). Лабораторные работы организованы с использованием технологий развивающего обучения. Курс лабораторных работ (36 часов) проводится с использованием интерактивных (диалоговых) технологий, в том числе электронный практикум (решение проблемных поставленных задач с

помощью современной вычислительной техники и исследование моделей); технологий, основанных на коллективных способах обучения, а также использованием компьютерной тестирующей системы. Самостоятельная работа студента организована с использованием традиционных видов работы. К традиционным видам работы (49 часов) относится отработка лекционного материала и отработка отдельных тем по учебным пособиям. Оценка полученных знаний, умений и навыков основана на модульно-рейтинговой технологии. Весь курс разбит на 4 раздела, представляющих собой логически завершенный объем учебной информации. Фонды оценочных средств освоенных компетенций включают как вопросы теоретического характера для оценки знаний, так и задания практического содержания (решение конкретных задач, работа с данными) для оценки умений и навыков. Теоретические знания проверяются путем применения таких организационных форм, как индивидуальные и групповые опросы..

6. Содержание дисциплины (модуля), структурированное по темам (разделам)

РАЗДЕЛ 1

Принципы организации вычислительных машин

Тема: Принципы организации ВМ

Введение. Основные понятия и термины. Классификация вычислительных средств.

Тема: Принципы организации ВМ.

Основные модели ВМ

Принцип программного управления и его реализация. Принцип хранимой в памяти программы и его реализация. Основные устройства ЭВМ и их характеристики.

Тема: Принципы организации ЭВМ.

Структурная организация ЭВМ. Уровни представления ЭВМ. Характеристики, классы и поколения ЭВМ. История развития средств ВТ.

РАЗДЕЛ 2

Процессоры ЭВМ

Выполнение и защита лабораторных работ №№ 1, 2, 3, 4

Тема: Организация процессора ЭВМ. Формальная модель процессора ЭВМ. Машинный цикл процессора.

Тема: Принципы организации прерываний. Основные этапы прерывания. Организация многоуровневых прерываний, приоритеты запросов и приоритеты прерывающих программ. Характеристики систем прерываний.

Тема: Принципы организации прерываний Аппаратно-программные средства систем прерываний и способы их применения. Организация прерывающей программы

Тема: Функциональная организация процессоров.

Кодирование и форматы команд. Команды VLIW и EPIC архитектур. Предикаты, префиксы и другие способы настройки команд.

Тема: Программно-доступные адресные пространства процессора.

Адресация регистров. Методы регистровых окон и динамического переименования регистров. Принципы размещения информации в ОП. Способы адресации ОП.

Тема: Система команд и машинный язык процессора.

Состав системы команд процессора Проблема семантического разрыва. Варианты CISC и RISC процессоров. Примеры системы команд.

Тема: Принципы увеличения быстродействия процессоров.
Многоэлементная и многостадийная обработка. Классификация способов распараллеливания работы процессоров

Тема: Конвейерные процессоры.
Принцип организации конвейерной обработки в процессорах.
Сбои в конвейере и способы их исключения. Оценка быстродействия конвейера.

Тема: Суперскалярные процессоры и много-процессорные системы.
Организация суперскалярных процессоров и многопроцессорных систем. Параллельное исполнение команд.

РАЗДЕЛ 3

Память ЭВМ

Выполнение и защита лабораторных работ №№ 5, 6, 7, 8

Тема: Организация памяти ЭВМ.
Уровни памяти и их характеристики. Классификация запоминающих устройств (ЗУ).
Классификация ЗУ по физическим принципам построения запоминающего массива. Полупроводниковые, магнитные, оптические ЗУ. Классификация ЗУ по способу размещения и поиска информации. ЗУ адресного, безадресного и ассоциативного типа.

Тема: Организация памяти ЭВМ.
Организация оперативной памяти ЭВМ. Многоблочное и многоабонентное исполнение памяти. Организация параллельных обращений в память. Организация доступа к оперативной памяти. Реализация каналов обмена с ОП, согласование разрядности, расслоение адресов.

Тема: Повышение быстродействия основной памяти.
Классификация способов повышения быстродействия основной памяти. Принципы организации и функционирования КЭШ - памяти. Классификация КЭШ – памяти. Типы КЭШ – памяти по способу записи информации.

Тема: Виртуализация адресного пространства основной памяти.
Анализ требований к объему основной памяти современной ЭВМ. Способы расширения адресного пространства основной памяти. Принцип виртуализации памяти.
Динамическое преобразование адреса. Организация виртуальной памяти. Принципы обмена между основной и внешней памятью. Фрагментация памяти. Страничная организация памяти. Принципы реализации одноуровневого динамического преобразования адреса.
Сегментно-страничная организация памяти. Принципы реализации двухуровневого динамического преобразования адреса. Многоуровневое динамическое преобразование адреса. Структурная реализация блока динамического преобразования адресов. Структурная реализация блока двухуровневого динамического преобразования адреса. ДПА на основе справочника страниц. Защита памяти. Типы и способы защиты памяти. Защита по ключу.

Тема: Повышение быстродействия основной памяти
Структурная организация КЭШ – памяти. КЭШ – память с полностью ассоциативным распределением, прямым отображением и частично ассоциативным распределением. Оценка эффективности КЭШ – памяти. Параметры КЭШ – памяти, влияющие на ее эффективность. Организация многоуровневой КЭШ – памяти.

РАЗДЕЛ 4

Система ввода-вывода ЭВМ

Тема: Принципы организации системы ввода-вывода.

Программно-управляемый обмен и прямой доступ в память. Характеристики систем ввода-вывода. Структурная организация.

Тема: Принципы организации системы ввода-вывода.

Контроллеры прямого доступа, структурная организация и принципы функционирования. Процессоры ввода-вывода, структурная организация и принципы функционирования.

Тема: Интерфейсы и их классификация.

Принципы организации интерфейсов. Основные определения, классификация интерфейсов. Типы шин и линий, организация арбитража.

Способы передачи информации и их сравнение. Последовательные интерфейсы.

Тема: Организация ввода-вывода на основе процессоров ввода-вывода

Структурная организация, принципы выполнения операций ввода-вывода. Организация ввода вывода на основе процессоров ввода-вывода.

РАЗДЕЛ 5

Итоговая аттестация

РАЗДЕЛ 6

Принципы организации базовых устройств процессора классической архитектуры

Тема: Структурная организация процессора

Основные устройства процессора классической архитектуры и их взаимодействие.

Тема: Устройство управления ЭВМ.

Понятие об устройстве управления ЭВМ. Микропрограммные устройства управления (МУУ) с хранимой в памяти логикой и с жесткой логикой. Структурная организация МУУ с хранимой в памяти логикой. Основные задачи синтеза МУУ. Способы адресации микрокоманд и их схемная реализация. Организация ветвлений и микроподпрограмм. Оптимизация аппаратных затрат на реализацию МУУ.

Способы кодирования микрокоманд и их реализация. Интегральное исполнение МУУ. Повышение быстродействия МУУ.

Тема: Устройство управления ЭВМ.

Способы кодирования микрокоманд и их реализация. Интегральное исполнение МУУ. Повышение быстродействия МУУ. Устройства управления с жесткой логикой и их реализация.

Тема: Арифметико-логические устройства.

Классификация АЛУ. Структурная организация АЛУ.

Интегральное исполнение АЛУ. Методы повышения быстродействия АЛУ.

Интегральное исполнение АЛУ. Методы повышения быстродействия АЛУ.

РАЗДЕЛ 7

Эволюция микроархитектуры процессора

Тема: Принципы микроархитектурной организации современных микропроцессоров

Проблемы эффективного распараллеливания машинного цикла процессора и методы их решения. Принципы построения трактов исполнения команд с использованием конвейеризации и суперскалярности. Многоядерная реализация. Эффективность конвейера исполнения команд и методы его оптимизации

Тема: Микроархитектура ядра микропроцессора
Принцип выборки и распаковки команд. Классификация методов уменьшения конфликтов по управлению и их реализация. Статические и динамические методы предсказания переходов. Декодирование и преобразование команд. Память микроопераций (микрокоманд). Переименование регистров

Тема: Микроархитектура ядра микропроцессора
Выполнение и защита лабораторных работ №№ 1, 2, 3.
Контрольное задание № 1
Выполнение этапов 1,2 3 курсового проектирования

Тема: Микроархитектура ядра микропроцессора
Классификация методов уменьшения конфликтов по управлению их реализация.
Статические и динамические методы предсказания переходов.

Тема: Микроархитектура многоядерного микропроцессора
Принципы объединения ядер и функционирование многоядерного микропроцессора.
Дополнительные блоки в составе микропроцессора (графическая подсистема, блок прерываний, КЭШ L3, блок обращений в ОП и др.).

Тема: Микроархитектура многоядерного микропроцессора
Архитектура и микроархитектура ARM. Отечественные микроконтроллеры на основе ядра CORTEX-M3 фирмы Миландр

Тема: Микроархитектура специализированных микропроцессоров
Графические микропроцессоры и их применение. Микропроцессоры ЦОС.

Тема: Тенденции развития микроархитектуры микропроцессоров.
Ядро микропроцессоров общего назначения. Регистровые модели современных микропроцессоров. Технология «тик-так» фирмы Intel. Обзор отечественных микропроцессоров, архитектура и микроархитектура ядра. Микропроцессоры Эльбрус, Миландр, Байкал Электроникс и др.

Тема: Микроархитектура специализированных микропроцессоров
Графические микропроцессоры и их применение. Микропроцессоры ЦОС.

Тема: Микроархитектура специализированных микропроцессоров
ПК2
Выполнение и защита лабораторных работ №№ 4, 5, 6 Контрольные задания № 2,3
Выполнение этапов 4,5 курсового проектирования

Тема: Однокристальные микроконтроллеры
Архитектура и микроархитектура ARM. Микроконтроллеры на основе ядра ARM.

РАЗДЕЛ 8

Многоядерные процессоры и структурная организация ЭВМ

Тема: Эволюция структурной организации ЭВМ
Принципы построения многопроцессорных ЭВМ. Системы с общей и распределенной памятью. Кластеры и MPP-системы

Тема: Структурная организация ПЭВМ.
Выполнение и защита лабораторных работ №№ 4, 5, 6 Контрольные задания № 2,3

Выполнение этапов 4,5 курсового проектирования

Тема: Структурная организация высокопроизводительных серверов
. Микроархитектура процессоров, многопроцессорные реализации. Подсистема ввода-вывода. Конструктивное исполнение

Тема: Структурная организация высокопроизводительных серверов.
Архитектура высокопроизводительных серверов System z фирмы IBM.

РАЗДЕЛ 9

Итоговая аттестация

Экзамен, зачет с оценкой за курсовой проект