

**МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РОССИЙСКИЙ УНИВЕРСИТЕТ ТРАНСПОРТА»**

Кафедра «Вычислительные системы, сети и информационная
 безопасность»

АННОТАЦИЯ К РАБОЧЕЙ ПРОГРАММЕ ДИСЦИПЛИНЫ

«Организация вычислительных машин и систем»

Направление подготовки:	09.03.01 – Информатика и вычислительная техника
Профиль:	Вычислительные системы и сети
Квалификация выпускника:	Бакалавр
Форма обучения:	очная
Год начала подготовки	2020

1. Цели освоения учебной дисциплины

Целями освоения учебной дисциплины «Организация вычислительных машин и систем» являются:

- изучение принципов построения электронных вычислительных машин (ЭВМ) и систем, их функциональной и структурной организации, составных частей и их взаимодействия,
- формирование компетенций в области разработки и использования современных вычислительных средств.

Дисциплина предназначена для получения знаний для решения следующих типов задач профессиональной деятельности:

Производственно-технологический

- разработка архитектуры ИС
- разработка прототипов ИС
- коррекция производительности сетевой инфокоммуникационной системы

Организационно-управленческий

- контроль использования сетевых устройств и программного обеспечения
- оценка производительности сетевых устройств и программного обеспечения

Проектный

- определение первоначальных требований заказчика к ИС и возможности их реализации в ИС на этапе предконтрактных работ
- разработка драйверов устройств
- разработка функциональных тестов для моделей сложнофункциональных блоков (СФ-блоков) и ИС на языках описания и верификации аппаратуры

2. Место учебной дисциплины в структуре ОП ВО

Учебная дисциплина "Организация вычислительных машин и систем" относится к блоку 1 "Дисциплины (модули)" и входит в его вариативную часть.

3. Планируемые результаты обучения по дисциплине (модулю), соотнесенные с планируемыми результатами освоения образовательной программы

Процесс изучения дисциплины направлен на формирование следующих компетенций:

ПКР-1	Способность выполнять работы и управлять работами по разработке архитектур и прототипов информационных систем (ИС)
ПКР-2	Способность восстанавливать параметры программного обеспечения сетевых устройств инфокоммуникационной системы

4. Общая трудоемкость дисциплины составляет

10 зачетных единиц (360 ак. ч.).

5. Образовательные технологии

Преподавание дисциплины "Организация вычислительных машин и систем" осуществляется в форме лекций и лабораторных занятий. Лекции проводятся в традиционной классно-урочной организационной форме в объеме 54 часа, по типу управления познавательной деятельностью на 100 % являются традиционными классически-лекционными (объяснительно-иллюстративными). Лабораторные работы организованы с использованием технологий развивающего обучения. Курс лабораторных работ (36 часов) проводится с использованием интерактивных (диалоговых) технологий, в том числе электронный практикум (решение проблемных поставленных задач

помощью современной вычислительной техники и исследование моделей); технологий, основанных на коллективных способах обучения, а также использованием компьютерной тестирующей системы. Самостоятельная работа студента организована с использованием традиционных видов работы. К традиционным видам работы (49 часов) относится отработка лекционного материала и отработка отдельных тем по учебным пособиям. Оценка полученных знаний, умений и навыков основана на модульно-рейтинговой технологии. Весь курс разбит на 4 раздела, представляющих собой логически завершенный объем учебной информации. Фонды оценочных средств освоенных компетенций включают как вопросы теоретического характера для оценки знаний, так и задания практического содержания (решение конкретных задач, работа с данными) для оценки умений и навыков. Теоретические знания проверяются путем применения таких организационных форм, как индивидуальные и групповые опросы..

6. Содержание дисциплины (модуля), структурированное по темам (разделам)

РАЗДЕЛ 1

Принципы организации вычислительных машин

Тема: Принципы организации ВМ

Введение. Элементная база и модели вычислительных машин

Тема: Принципы организации ЭВМ.

Принцип программного управления и его реализация. Принцип хранимой в памяти программы и его реализация. Основные устройства ЭВМ и их характеристики.

Тема: Принципы организации ЭВМ.

Структурная организация ЭВМ. Уровни представления ЭВМ. Характеристики, классы и поколения ЭВМ. История развития средств ВТ.

РАЗДЕЛ 2

Процессоры ЭВМ

Тема: Принципы функционирования процессора

Машинный цикл процессора. Организации прерываний. Основные этапы прерывания. Характеристики систем прерываний. Аппаратно-программные средства систем прерываний и способы их применения.

Тема: Кодирование команд.

Форматы и кодирование команд. Команды VLIW и EPIC архитектур. Предикаты, префиксы и другие способы настройки команд. Адресные пространства процессора. Адресация регистровой памяти, методы регистровых окон и динамического переименования регистров. Адресация оперативной памяти, принципы размещения информации в ОП. Способы адресации ОП.

Тема: Система команд и машинный язык процессора.

Состав системы команд процессора. Проблема семантического разрыва. Варианты CISC и RISC процессоров. Примеры систем команд и регистровых моделей процессоров..

Тема: Система команд и машинный язык процессора.

Выполнение и защита лабораторных работ №№ 1, 2, 3

Тема: Принципы увеличения быстродействия процессоров.

Принципы увеличения быстродействия процессоров. Многоэлементная и многостадийная

обработка. Принцип организации конвейерной обработки в процессорах..

Тема: Принципы увеличения быстродействия процессоров
Принципы увеличения быстродействия процессоров Сбои в конвейере и способы их исключения. Оценка быстродействия конвейера

Тема: Принципы увеличения быстродействия процессоров
Суперскалярные процессоры. Организация суперскалярных процессоров. Параллельное исполнение команд.

РАЗДЕЛ 3 Память ЭВМ

Тема: Многоуровневая организация памяти ЭВМ.

Уровни памяти и их характеристики. Классификация запоминающих устройств (ЗУ). ЗУ адресного, безадресного и ассоциативного типа.

Тема: Организация оперативной памяти ЭВМ.

Многоблочное и многоабонентное исполнение памяти. Организация параллельных обращений в память. Способы распределения адресного пространства.

Тема: Принципы организации КЭШ – памяти.
Выполнение и защита лабораторных работ №№ 4, 5, 6

Тема: Принципы организации КЭШ – памяти.

Классификация способов повышения быстродействия основной памяти. Принципы организации и функционирования КЭШ - памяти. Классификация КЭШ – памяти. Типы КЭШ – памяти по способу записи информации.

Тема: Принципы организации КЭШ – памяти.
Структурная организация КЭШ – памяти. КЭШ – память с полностью ассоциативным распределением, прямым отображением и частично ассоциативным распределением.
Организация многоуровневой КЭШ – памяти

Тема: Виртуализация памяти.

Анализ требований к объему основной памяти современной ЭВМ. Способы расширения адресного пространства основной памяти. Принцип виртуализации памяти.
Динамическое преобразование адреса. Страничная и сегментно-страничная организация памяти. Защита памяти.

РАЗДЕЛ 4 Система ввода-вывода ЭВМ

Тема: Принципы организации системы ввода-вывода.
Программно-управляемый обмен и прямой доступ в память. Характеристики систем ввода-вывода. Структурная организация

Тема: Принципы организации системы ввода-вывода.
Контроллеры прямого доступа, структурная организация и принципы функционирования.
Процессоры ввода-вывода, структурная организация и принципы функционирования.

Тема: Интерфейсы и их классификация.
Принципы организации интерфейсов. Основные определения, классификация интерфейсов. Типы шин и линий, организация арбитража.

Тема: Интерфейсы и их классификация.
Интерфейсы и их классификация.
Способы передачи информации и их сравнение. Последовательные интерфейсы

РАЗДЕЛ 5

Итоговая аттестация

РАЗДЕЛ 6

Принципы организации базовых устройств процессора классической архитектуры

Тема: Структурная организация процессора
Основные устройства процессора классической архитектуры и их взаимодействие.

Тема: Устройство управления ЭВМ.
Понятие об устройстве управления ЭВМ. Микропрограммные устройства управления (МУУ) с хранимой в памяти логикой и с жесткой логикой. Структурная организация МУУ с хранимой в памяти логикой. Основные задачи синтеза МУУ. Способы адресации микрокоманд и их схемная реализация. Организация ветвлений и микроподпрограмм. Оптимизация аппаратных затрат на реализацию МУУ.

Тема: Устройство управления ЭВМ.
Способы кодирования микрокоманд и их реализация. Интегральное исполнение МУУ. Повышение быстродействия МУУ. Устройства управления с жесткой логикой и их реализация.

Тема: Арифметико-логические устройства.
Классификация АЛУ. Структурная организация АЛУ. Интегральное исполнение АЛУ. Методы повышения быстродействия АЛУ.

РАЗДЕЛ 7

Эволюция микроархитектуры процессора

Тема: Принципы микроархитектурной организации современных микропроцессоров
Проблемы эффективного распараллеливания машинного цикла процессора и методы их решения. Принципы построения трактов исполнения команд с использованием конвейеризации и суперскалярности. Многоядерная реализация. Эффективность конвейера исполнения команд и методы его оптимизации

Тема: Микроархитектура ядра микропроцессора
Принцип выборки и распаковки команд. Декодирование и преобразование команд. Память микроопераций (миликоманд). Переименование регистров.

Тема: Микроархитектура ядра микропроцессора
Выполнение и защита лабораторных работ №№ 1, 2, 3.
Контрольное задание № 1
Выполнение этапов 1,2 3 курсового проектирования

Тема: Микроархитектура ядра микропроцессора
Классификация методов уменьшения конфликтов по управлению их реализация.
Статические и динамические методы предсказания переходов.

Тема: Микроархитектура ядра микропроцессора
Функциональные блоки выполнения операций. Блок обращения в ОП. Планирование выполнения микро-операций. Буфер переупорядочивания команд (ROB). Принципы организации АЛУ с внеочередным исполнением команд. Алгоритмы внеочередного исполнения команд (алгоритм Томасуло).

Тема: Микроархитектура многоядерного микропроцессора.
Принципы объединения ядер и функционирование многоядерного микропроцессора. Дополнительные блоки в составе микропроцессора (графическая подсистема, блок прерываний, КЭШ L3, блок обращений в ОП и др.).

Тема: Тенденции развития микроархитектуры микропроцессоров.
Ядро микропроцессоров общего назначения. Регистровые модели современных микропроцессоров. Технология «тик-так» фирмы Intel. Обзор отечественных микропроцессоров, архитектура и микроархитектура ядра. Микропроцессоры Эльбрус, Миландр, Байкал Электроникс и др.

Тема: Микроархитектура специализированных микропроцессоров.
Графические микропроцессоры и их применение. Микропроцессоры ЦОС.

Тема: Микроархитектура специализированных микропроцессоров.
Выполнение и защита лабораторных работ №№ 4, 5, 6 Контрольные задания № 2,3
Выполнение этапов 4,5 курсового проектирования

Тема: Однокристальные микроконтроллеры
Архитектура и микроархитектура ARM. Микроконтроллеры на основе ядра ARM.

РАЗДЕЛ 8

Многоядерные процессоры и структурная организация ЭВМ

Тема: Эволюция структурной организации ЭВМ
Принципы построения многопроцессорных ЭВМ. Системы с общей и распределенной памятью. Кластеры и MPP-системы

Тема: Структурная организация ПЭВМ.
Структура ПЭВМ с северным и южным мостами. Основные типы интерфейсов и принципы их организации и функционирования. Организация ПЭВМ на многоядерных микропроцессорах.

Тема: Структурная организация высокопроизводительных серверов
Эволюция архитектуры высокопроизводительных серверов System z фирмы IBM

Тема: Структурная организация высокопроизводительных серверов.
Микроархитектура процессоров, многопроцессорные реализации. Подсистема ввода-вывода. Конструктивное исполнение

РАЗДЕЛ 9

Итоговая аттестация

Экзамен, зачет с оценкой за курсовой проект