

МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РОССИЙСКИЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра «Вычислительные системы, сети и информационная
 безопасность»

АННОТАЦИЯ К РАБОЧЕЙ ПРОГРАММЕ ДИСЦИПЛИНЫ

«Организация вычислительных машин и систем»

Направление подготовки:	10.03.01 – Информационная безопасность
Профиль:	Безопасность компьютерных систем
Квалификация выпускника:	Бакалавр
Форма обучения:	очная
Год начала подготовки	2019

1. Цели освоения учебной дисциплины

Целями освоения учебной дисциплины «Организация вычислительных машин и систем» являются:

- изучение принципов построения электронных вычислительных машин (ЭВМ) и систем, их функциональной и структурной организации, составных частей и их взаимодействия,
- формирование компетенций в области разработки и использования современных вычислительных средств.

Дисциплина формирует знания и умения для решения следующих профессиональных задач (в соответствии с видами профессиональной деятельности).

Эксплуатационная деятельность

- установка, настройка, эксплуатация и поддержание в работоспособном состоянии компонентов системы обеспечения информационной безопасности с учетом установленных требований;

Проектно-технологическая деятельность

- сбор и анализ исходных данных для проектирования систем защиты информации, определение требований, сравнительный анализ подсистем по показателям информационной безопасности;

Экспериментально-исследовательская деятельность

- сбор, изучение научно-технической информации, отечественного и зарубежного опыта по тематике исследования;
- проведение экспериментов по заданной методике, обработка и анализ их результатов;
- проведение вычислительных экспериментов с использованием стандартных программных средств

Организационно-управленческая деятельность:

- осуществление организационно-правового обеспечения информационной безопасности объекта защиты;
- организация работы малых коллективов исполнителей;

2. Место учебной дисциплины в структуре ОП ВО

Учебная дисциплина "Организация вычислительных машин и систем" относится к блоку 1 "Дисциплины (модули)" и входит в его вариативную часть.

3. Планируемые результаты обучения по дисциплине (модулю), соотнесенные с планируемыми результатами освоения образовательной программы

Процесс изучения дисциплины направлен на формирование следующих компетенций:

ПКР-1	Способность эксплуатировать и поддерживать в работоспособном состоянии средства защиты информации
ПКР-2	Способность участвовать в разработке политик безопасности, политик управления доступом и информационными потоками в компьютерных сетях

4. Общая трудоемкость дисциплины составляет

5 зачетных единиц (180 ак. ч.).

5. Образовательные технологии

Преподавание дисциплины «Организация вычислительных машин и систем» осуществляется в форме лекций, лабораторных и практических занятий, курсового про-

ектирования. Лекции проводятся в традиционной классно-урочной организационной форме в объеме 48 часов, по типу управления познавательной деятельностью на 100 % являются традиционными классически-лекционными (объяснительно-иллюстративными). Лабораторные работы (48 часов) проводятся с использованием интерактивных (диа-логовых) технологий, в том числе электронный практикум (решение проблемных постав-ленных задач с помощью современной вычислительной техники и исследования моделей); технологий, основанных на коллективных способах обучения, а также использованием компьютерной тестирующей системы. Самостоятельная работа студента (48 часа) организована с использованием традици-онных видов работы. К традиционным видам работы относится отработка лекционного материала и отработка отдельных тем по учебным пособиям. Оценка полученных знаний, умений и навыков основана на модульно-рейтинговой технологии. Весь курс разбит на 4 раздела, представляющих собой логически завершен-ный объем учебной информации. Фонды оценочных средств освоенных компетенций включают как вопросы теоретического характера для оценки знаний, так и задания прак-тического содержания (решение конкретных задач, работа с данными) для оценки умений и навыков. Теоретические знания проверяются путем применения таких организационных форм, как индивидуальные и групповые опросы..

6. Содержание дисциплины (модуля), структурированное по темам (разделам)

РАЗДЕЛ 1

Принципы организации вычислительных машин

Тема: Принципы организации ВМ.

Введение. Основные понятия и термины. Классификация вычислительных средств. Основные модели ВМ

Тема: 1.2. Принципы организации ЭВМ.

1.2. Принципы организации ЭВМ.

Тема: Принципы организации ЭВМ

Принцип программного управления и его реализация. Принцип хранимой в памяти программы и его реализация. Основные устройства ЭВМ и их характеристики. Структурная организация ЭВМ. Характеристики, классы и поколения ЭВМ. История развития средств ВТ.

Тема: Принципы организации ЭВМ.

Структурная организация ЭВМ. Характеристики, классы и поколения ЭВМ. История развития средств ВТ.

РАЗДЕЛ 2

Процессоры ЭВМ.

Тема: Организация процессора ЭВМ

Формальная модель процессора ЭВМ. Машинный цикл процессора.

Тема: Принципы организации прерываний

Основные этапы прерывания. Организация многоуровневых прерываний, приоритеты запросов и приоритеты прерывающих программ. Характеристики систем прерываний. Аппаратно-программные средства систем прерываний и способы их применения. Организация прерывающей про-граммы

Тема: Функциональная организация процессоров

Кодирование и форматы команд. Команды VLIW и EPIC архитектур. Предикаты, префиксы и другие способы настройки команд.

Тема: Программно-доступные адресные пространства процессора
Адресация регистров. Методы регистровых окон и динамического переименования регистров. Принципы размещения информации в ОП. Способы адресации ОП.

Тема: Система команд и машинный язык процессора.
Состав системы команд процессора Проблема семантического разрыва. Варианты CISC и RISC процессоров. Примеры системы команд.

Тема: Принципы увеличения быстродействия процессоров
Многоэлементная и многостадийная обработка. Классификация способов распараллеливания работы процессоров

Тема: Принципы увеличения быстродействия процессоров
Выполнение и защита лабораторных работ №№ 1, 2, 3, 4,5

Тема: Конвейерные процессоры
Принцип организации конвейерной обработки в процессорах. Сбои в конвейере и способы их исключения. Оценка быстродействия конвейера.

Тема: Микроархитектура ядра микропроцессора
Принцип выборки и распаковки команд. Декодирование и преобразование команд. Память микроопераций (микроманд). Переименование регистров.

Тема: Принцип выборки и распаковки команд. Декодирование и преобразование команд. Память микроопераций (микроманд). Переименование регистров.
Функциональные блоки выполнения операций. Блок обращения в ОП. Планирование выполнения микроопераций. Буфер переупорядочивания команд (ROB). Принципы организации АЛУ с внеочередным исполнением команд.

РАЗДЕЛ 3 Память ЭВМ

Тема: Организация памяти ЭВМ
Уровни памяти и их характеристики. Классификация запоминающих устройств (ЗУ). Классификация ЗУ по физическим принципам построения запоминающего массива. Полупроводниковые, магнитные, оптические ЗУ. Классификация ЗУ способу размещения и поиска информации. ЗУ адресного, безадресного и ассоциативного типа. Организация оперативной памяти ЭВМ. Многоблочное и многоабонентное исполнение памяти. Организация параллельных обращений в память. Организация доступа к оперативной памяти. Реализация каналов обмена с ОП, согласование разрядности, расслоение адресов.

Тема: Повышение быстродействия основной памяти.
Классификация способов повышения быстродействия основной памяти. Принципы организации и функционирования КЭШ - памяти. Классификация КЭШ – памяти. по способу записи информации.

Тема: Повышение быстродействия основной памяти
Структурная организация КЭШ – памяти. КЭШ – память с полностью ассоциативным распределением, прямым отображением и частично ассоциативным распределением. Оценка эффективности КЭШ – памяти. Параметры КЭШ – памяти, влияющие на ее эффективность. Организация многоуровневой КЭШ – памяти.

Тема: Виртуализация адресного пространства основной памяти.

Анализ требований к объему основной памяти современной ЭВМ. Способы расширения адресного пространства основной памяти. Принцип виртуализации памяти. Динамическое преобразование адреса. Организация виртуальной памяти. Принципы обмена между основной и внешней памятью. Фрагментация памяти. Страничная организация памяти. Принципы реализации одноуровневого динамического преобразования адреса.

Тема: Виртуализация адресного пространства основной памяти

Сегментно-страничная организация памяти. Принципы реализации двухуровневого динамического преобразования адреса. Многоуровневое динамическое преобразование адреса.

Тема: Виртуализация адресного пространства основной памяти

Структурная реализация блока динамического преобразования адресов. Структурная реализация блока двухуровневого динамического преобразования адреса. ДПА на основе справочника страниц. Защита памяти. Типы и способы защиты памяти. Защита по ключу.

Тема: Виртуализация адресного пространства основной памяти

Выполнение и защита лабораторных работ №№ 6, 7, 8

Выполнение практических заданий 2,3

РАЗДЕЛ 4

Система ввода-вывода ЭВМ

Тема: Принципы организации системы ввода-вывода.

Программно-управляемый обмен и прямой доступ в память. Характеристики систем ввода-вывода. Структурная организация. Контроллеры прямого доступа, структурная организация и принципы функционирования. Процессоры ввода-вывода, структурная организация и принципы функционирования.

Тема: Интерфейсы и их классификация.

Принципы организации интерфейсов. Основные определения, классификация интерфейсов. Типы шин и линий, организация арбитража.

Способы передачи информации и их сравнение. Последовательные интерфейсы.

Тема: Микроархитектура многоядерного микропроцессора

Принципы объединения ядер и функционирование многоядерного микропроцессора. Дополнительные блоки в составе микропроцессора (графическая подсистема, блок прерываний, КЭШ L3, блок обращений в ОП и др.).

Тема: Структурная организация ПЭВМ

Структура ПЭВМ с северным и южным мостами. Основные типы интерфейсов и принципы их организации и функционирования. Организация ПЭВМ на многоядерных микропроцессорах.

Тема: 5 Структурная организация высокопроизводительных серверов

Эволюция архитектуры высокопроизводительных серверов System z фирмы IBM

РАЗДЕЛ 6

Итоговая аттестация