

**МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ  
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«РОССИЙСКИЙ УНИВЕРСИТЕТ ТРАНСПОРТА»**

Кафедра            «Вычислительные системы, сети и информационная  
                              безопасность»

**АННОТАЦИЯ К РАБОЧЕЙ ПРОГРАММЕ ДИСЦИПЛИНЫ**

**«Организация вычислительных машин и систем. Часть 2»**

Направление подготовки:	09.03.01 – Информатика и вычислительная техника
Профиль:	Вычислительные машины, комплексы, системы и сети
Квалификация выпускника:	Бакалавр
Форма обучения:	очная
Год начала подготовки	2017

## 1. Цели освоения учебной дисциплины

Дисциплина предназначена для получения знаний для решения следующих профессиональных задач (в соответствии с видами деятельности):

Проектно-технологическая деятельность

- Применение современных инструментальных средств при разработке программного обеспечения.
- Применение Web-технологий при реализации удаленного доступа в системах клиент/сервер и распределенных вычислений.
- Использование стандартов и типовых методов контроля и оценки качества программной продукции.
- Участие в работах по автоматизации технологических процессов в ходе подготовки производства новой продукции.
- Освоение и применение современных программно-методических комплексов исследования и автоматизированного проектирования объектов профессиональной деятельности.

Научно-исследовательская деятельность

- Изучение научно-технической информации, отечественного и зарубежного опыта по тематике исследования.
- Математическое моделирование процессов и объектов на базе стандартных пакетов автоматизированного проектирования и исследований.
- Проведение экспериментов по заданной методике и анализ результатов.
- Проведение измерений и наблюдений, составление описания проводимых исследований, подготовка данных для составления обзоров, отчетов и научных публикаций.
- Составление отчета по выполненному заданию, участие во внедрении результатов исследований и разработок.

## 2. Место учебной дисциплины в структуре ОП ВО

Учебная дисциплина "Организация вычислительных машин и систем. Часть 2" относится к блоку 1 "Дисциплины (модули)" и входит в его базовую часть.

## 3. Планируемые результаты обучения по дисциплине (модулю), соотнесенные с планируемыми результатами освоения образовательной программы

Процесс изучения дисциплины направлен на формирование следующих компетенций:

ОПК-4	способностью участвовать в настройке и наладке программно-аппаратных комплексов
ПК-2	способностью разрабатывать компоненты аппаратно-программных комплексов и баз данных, используя современные инструментальные средства и технологии программирования

## 4. Общая трудоемкость дисциплины составляет

6 зачетных единиц (216 ак. ч.).

## 5. Образовательные технологии

Преподавание дисциплины «Организация вычислительных машин и систем. Часть 2» осуществляется в форме лекций, лабораторных и практических занятий, курсового

проектирования. Лекции проводятся в традиционной классно-урочной организационной форме в объеме 44 часа, по типу управления познавательной деятельностью на 100 % являются традиционными классически-лекционными (объяснительно-иллюстративными). Лабораторные работы (28 часов) и практические занятия 14 часов организованы с использованием технологий развивающего обучения. Курс лабораторных работ проводится с использованием интерактивных (диалоговых) технологий, в том числе электронный практикум (решение проблемных поставленных задач с помощью современной вычислительной техники и исследование моделей); технологий, основанных на коллективных способах обучения, а также использованием компьютерной тестирующей системы. Самостоятельная работа студента организована с использованием традиционных видов работы. К традиционным видам работы (85 часов) относится отработка лекционного материала и отработка отдельных тем по учебным пособиям. Выполнение курсовой работы осуществляется студентом в рамках самостоятельной работы с последующей защитой на специально отведенных занятиях. Оценка полученных знаний, умений и навыков основана на модульно-рейтинговой технологии. Весь курс разбит на 3 раздела, представляющих собой логически завершённый объём учебной информации. Фонды оценочных средств освоенных компетенций включают как вопросы теоретического характера для оценки знаний, так и задания практического содержания (решение конкретных задач, работа с данными) для оценки умений и навыков. Теоретические знания проверяются путем применения таких организационных форм, как индивидуальные и групповые опросы. Проведении занятий по дисциплине (модулю) возможно с применением электронного обучения и дистанционных образовательных технологий, реализуемые с применением информационно-телекоммуникационных сетей при опосредованном (на расстоянии) взаимодействии обучающихся и педагогических работников. В процессе проведения занятий с применением электронного обучения и дистанционных образовательных технологий применяются современные образовательные технологии, такие как (при необходимости): - использование современных средств коммуникации; - электронная форма обмена материалами; - дистанционная форма групповых и индивидуальных консультаций; - использование компьютерных технологий и программных продуктов, необходимых для сбора и систематизации информации, проведения требуемых программой расчетов и т.д..

## **6. Содержание дисциплины (модуля), структурированное по темам (разделам)**

### **РАЗДЕЛ 1**

Принципы организации базовых устройств процессора классической архитектуры

Тема: Структурная организация процессора

Основные устройства процессора классической архитектуры и их взаимодействие.

Тема: Устройство управления ЭВМ.

Понятие об устройстве управления ЭВМ. Микропрограммные устройства управления (МУУ) с хранимой в памяти логикой и с жесткой логикой. Структурная организация МУУ с хранимой в памяти логикой. Основные задачи синтеза МУУ. Способы адресации микрокоманд и их схемная реализация. Организация ветвлений и микроподпрограмм. Оптимизация аппаратных затрат на реализацию МУУ.

Тема: Устройство управления ЭВМ.

Способы кодирования микрокоманд и их реализация. Интегральное исполнение МУУ. Повышение быстродействия МУУ.

Тема: Устройство управления ЭВМ.

Устройства управления с жесткой логикой и их реализация.

Тема: Арифметико-логические устройства.  
Классификация АЛУ. Структурная организация АЛУ.

Тема: Арифметико-логические устройства  
Интегральное исполнение АЛУ. Методы повышения быстродействия АЛУ.

## РАЗДЕЛ 2

Эволюция микроархитектуры процессора

Тема: Декомпозиция микроархитектуры процессора.  
Совершенствование микроархитектуры процессора путем распараллеливание работы его основных устройств. Декомпозиция УУ, АЛУ.

Тема: Принципы микроархитектурной организации современных микропроцессоров.  
Проблемы эффективного распараллеливания машинного цикла процессора и методы их решения. Принципы построения трактов исполнения команд с использованием конвейеризации и суперскалярности. Многоядерная реализация.

Тема: Конвейерное исполнение команд.  
Проблемы разбиения команд на фазы, реализуемые в уровнях конвейера. Эффективность конвейера исполнения команд и методы его оптимизации

Тема: Микроархитектура ядра микропроцессора.  
Принцип выборки и распаковки команд. Декодирование и преобразование команд. Память микроопераций (миликоманд). Переименование регистров.

Тема: Микроархитектура ядра микропроцессора  
Классификация методов уменьшения конфликтов по управлению их реализация. Статические и динамические методы предсказания переходов.

Тема: Микроархитектура ядра микропроцессора  
Функциональные блоки выполнения операций. Блок обращения в ОП. Планирование выполнения микроопераций. Буфер переупорядочивания команд (ROB).

Тема: Микроархитектура ядра микропроцессора  
Принципы организации АЛУ с внеочередным исполнением команд. Алгоритмы внеочередного исполнения команд (алгоритм Томасу-ло).

Тема: Микроархитектура ядра микропроцессора  
вып.лаб.работ 20%

Тема: Тенденции развития микроархитектуры микропроцессоров.  
Ядро микропроцессоров общего назначения. Регистровые модели современных микропроцессоров. Технология «тик-так» фирмы Intel.

Тема: Тенденции развития микроархитектуры микропроцессоров.  
Обзор отечественных микропроцессоров, архитектура и микроархитектура ядра. Микропроцессоры Эльбрус, Миландр, Байкал Электроникс и др

Тема: Микроархитектура специализированных микропроцессоров.  
Графические микропроцессоры и их применение. Микропроцессоры ЦОС.

Тема: Однокристалльные микроконтроллеры.  
Архитектура и микроархитектура ARM. Микроконтроллеры на основе ядра ARM.

Тема: Однокристальные микроконтроллеры.  
вып.лаб.раб. 70%

### РАЗДЕЛ 3

#### Многоядерные процессоры и структурная организация ЭВМ

Тема: Принципы объединения ядер и функционирование многоядерного микро-процессора.

Принципы объединения ядер и функционирование многоядерного микро-процессора.

Тема: Микроархитектура многоядерного мик-ропроцессора

Дополнительные блоки в составе микропроцессора (графическая подсистема, блок прерываний, КЭШ L3, блок обращений в ОП и др.).

Тема: Эволюция структурной организации ЭВМ.

Принципы построения многопроцессорных ЭВМ. Системы с общей и распределенной памятью. Кластеры и MPP-системы

Тема: Структурная организация ПЭВМ.

Структура ПЭВМ с северным и южным мос-тами. Организация ПЭВМ на многоядерных микропроцессорах

Тема: Принципы построения многопроцессорных ЭВМ. Системы с общей и распределенной памятью. Кластеры и MPP-системы

Основные типы интерфейсов и принципы их организации и функционирования.

Тема: Структурная организация высокопроизводительных серверов.

Эволюция архитектуры высокопроизводительных серверов System z фирмы IBM.

Тема: Структурная организация высокопроизводительных серверов.

Микроархитектура процессоров, многопроцессорные реализации. Подсистема ввода-вывода.

Тема: Структурная организация высокопроизводительных серверов.

Принципы разбиения на логические разделы и распараллеливание вычислительного процесса. Конструктивное исполнение

Тема: СуперЭВМ.

Структурная организация и принципы функционирования. Рейтинг top500.

Тема: Встроенные управляющие системы.

Многоуровневая организация управляющих систем. Устройства связи с объектом.

Программируемые логические контроллеры и другие типовые управляющие системы.

### РАЗДЕЛ 4

#### Итоговая аттестация