

МИНИСТЕРСТВО ТРАНСПОРТА РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«РОССИЙСКИЙ УНИВЕРСИТЕТ ТРАНСПОРТА»

Кафедра «Вычислительные системы, сети и информационная
 безопасность»

АННОТАЦИЯ К РАБОЧЕЙ ПРОГРАММЕ ДИСЦИПЛИНЫ

«Схемотехника»

Направление подготовки:	09.03.02 – Информационные системы и технологии
Профиль:	Информационные системы и технологии на транспорте
Квалификация выпускника:	Бакалавр
Форма обучения:	очная
Год начала подготовки	2020

1. Цели освоения учебной дисциплины

Целями освоения учебной дисциплины «Схемотехника» являются формирование компетенции по основным разделам схемотехники, изучение схемотехнических основ построения как отдельных элементов, так и вычислительных систем в целом, овладение методами и средствами анализа и разработки аппаратных компонентов вычислительной техники.

Основными задачами дисциплины являются:

- Ознакомление с основными принципами схемотехнической реализации цифровых устройств;
- рассмотрение принципов взаимодействия цифровых схем;
- изучение методов синтеза комбинационных схем на цифровых микросхемах;
- рассмотрение примеров использования ПЛИС для реализации цифровых устройств.

Дисциплина предназначена для получения знаний для решения следующих профессиональных задач (в соответствии с видами деятельности):

организационно-управленческая:

контроль использования сетевых устройств и программного обеспечения;
оценка производительности сетевых устройств и программного обеспечения;

производственно-технологическая:

разработка архитектуры ИС;
разработка прототипов ИС;
размещение и соединение элементов электрических схем стандартных ячеек библиотеки
проверка топологии на соответствие правилам проектирования, генерация файлов для синтеза топологии;

проектная:

определение первоначальных требований заказчика к ИС и возможности их реализации в ИС на этапе предконтрактных работ;
проектирование и дизайн ИС;
разработка функциональных тестов и элементов среды верификации моделей интегральной схемы и ее составных блоков;
разработка функциональных тестов для моделей сложнофункциональных блоков (СФ - блоков) и ИС на языках описания и верификации аппаратуры.

2. Место учебной дисциплины в структуре ОП ВО

Учебная дисциплина "Схемотехника" относится к блоку 1 "Дисциплины (модули)" и входит в его базовую часть.

3. Планируемые результаты обучения по дисциплине (модулю), соотнесенные с планируемыми результатами освоения образовательной программы

Процесс изучения дисциплины направлен на формирование следующих компетенций:

ОПК-5	Способен устанавливать и настраивать программное и аппаратное обеспечение для информационных и автоматизированных систем
ОПК-7	Способен осуществлять выбор платформ и инструментальных программно-аппаратных средств для реализации информационных систем

4. Общая трудоемкость дисциплины составляет

4 зачетные единицы (144 ак. ч.).

5. Образовательные технологии

Преподавание дисциплины «Схемотехника» осуществляется в форме лекций и лабораторных работ. Лекции проводятся в традиционной классно-урочной организационной форме в объеме 34 часа, по типу управления познавательной деятельностью и являются традиционными классически-лекционными (объяснительно-иллюстративными). Лабораторные работы организованы с использованием технологий развивающего обучения. Курс лабораторных работ (34 часа) проводится с использованием специализированных стендов и на специальных программных симуляторах, разработанных на кафедре, основанных на интерактивных (диалоговых) технологиях, в том числе электронный практикум (решение проблемных поставленных задач с помощью современной вычислительной техники и исследование моделей); технологий, основанных на коллективных способах обучения, а также использованием компьютерной тестирующей системы. Самостоятельная работа студента организована с использованием традиционных видов работы. К традиционным видам работы (20 часов) относится отработка лекционного материала и отработка отдельных тем по учебным пособиям, подготовка к интерактивным практическим и лабораторным работам. Оценка полученных знаний, умений и навыков основана на модульно-рейтинговой технологии. Весь курс разбит на 2 раздела, представляющих собой логически заверченный объем учебной информации. Фонды оценочных средств освоенных компетенций включают как вопросы теоретического характера для оценки знаний, так и задания практического содержания (решение конкретных задач, работа с данными) для оценки умений и навыков. Теоретические знания проверяются путем применения таких организационных форм, как индивидуальные и групповые опросы. Проведении занятий по дисциплине (модулю) возможно с применением электронного обучения и дистанционных образовательных технологий, реализуемые с применением информационно-телекоммуникационных сетей при опосредованном (на расстоянии) взаимодействии обучающихся и педагогических работников. В процессе проведения занятий с применением электронного обучения и дистанционных образовательных технологий применяются современные образовательные технологии, такие как (при необходимости): - использование современных средств коммуникации; - электронная форма обмена материалами; - дистанционная форма групповых и индивидуальных консультаций; - использование компьютерных технологий и

программных продуктов, необходимых для сбора и систематизации информации, проведения требуемых программой расчетов и т.д..

6. Содержание дисциплины (модуля), структурированное по темам (разделам)

РАЗДЕЛ 1

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Тема: Электроника цифровых элементов.

Описываются способы кодирования цифровой информации, требования к логическим сигналам, параметры логических элементов.

Тема: Транзисторный ключ – основа построения логических схем.

Описываются типы подключаемой нагрузки.

Проводится сравнительный анализ работы ключей первого и второго типов (ФЛС1, ФЛС2) на примере решения задачи расчета ключа.

логических схем.

Рассматривается работа транзисторных ключей второго типа, приводятся методики расчетов значений их элементов и получаемых характеристик.

Рассматривается работа транзисторных ключей первого типа, приводятся методики расчетов значений их элементов и получаемых характеристик.

Тема: Логические элементы цифровых устройств.

Рассматривается построение логических схем на транзисторных ключах, диодах.

Описывается техническая реализация логических функций на выходах. Приводится методика расчета R_k для подключения схем с открытым коллектором.

Описывается схемотехническая организация схем ТТЛ со сложным выходным каскадом. Приводится методика расчета параметров составных элементов ТТЛ, оценка помехоустойчивости, работы на нагрузку первого и второго типа. Рассматриваются особенности использования элементов ТТЛ

РАЗДЕЛ 2

ЦИФРОВЫЕ СХЕМЫ.

Тема: Схемы с памятью

Описывается логическая схема D-триггера и ее свойства (прозрачность D-триггера, временные параметры, исключение прозрачного интервала). Рассматриваются схемотехнические принципы построения двухступенчатых триггеров (двухступенчатый D-

триггер на элементах И-НЕ, двухступенчатый RS-триггер, схема с инвертором, схема с запрещающими связями, схема с разнополярным управлением).

Приводится описание функционирования и логической организации на примере схемы ТМ2.

Рассматриваются построения RS-триггеров различных типов на различных логических элементах (асинхронный RS-триггер на элементах ИЛИ-НЕ и И-НЕ, синхронизируемые одноступенчатые триггеры, синхронизируемый RS-триггер на элементах ИЛИ-НЕ и И-НЕ, комбинированные RS-триггеры). Описываются возможности применения RS-триггеров.

Вып. дом. работ №1-5

Вып. лаб. работ №1-5

Приводятся схемы включения регистров и триггеров для выполнения поразрядных операций (инверсия, дизъюнкция, конъюнкция, анализ кода).

Рассматриваются примеры применения регистров для выполнения операций сдвигов в различных схемах (с использованием мультиплексоров, сдвигатель на двухступенчатых триггерах, сдвигатель на динамических триггерах, сдвигатель с возможностью приема кода ИР1, реверсивный сдвигатель ИР13).

Тема: Счетные схемы.

Описываются принципы построения счетчиков с различной организацией (одноразрядный суммирующий счетчик, комбинационный счетчик, инкрементор с последовательным переносом, инкрементор с параллельным переносом, инкрементор с групповым переносом, вычитающий комбинационный счетчик). Приводится логическая схема построения трехразрядного декрементора с последовательным заемом.

Рассматриваются микросхемы счетчиков ИЕ6 и ИЕ7, схемы построения и функционирование десятичных счетчиков, счетчиков с переменным модулем пересчета и схем измерителей интервалов времени.

счетчиков (счетчик с непосредственными связями, суммирующий, вычитающий, счетчики с переносом, синхронизируемые, несинхронизируемые, каскадирование с непосредственными связями и с цепями переноса).

Описывается принцип функционирования накапливающего счетчика. Рассматриваются способы организации и функционирования счетных триггеров (Т-триггер, триггер с динамическим входом, построение счетного триггера на RS-триггере, JK-триггер).

Тема: Комбинационные схемы.

Приводятся примеры применения дешифраторов и мультиплексоров

Вып. дом. работ №6-8

Вып. лаб. работ №6-9

Рассматриваются примеры построения схем сумматоров с использованием микросхем ИПЗ и ИП4 (16-ти разрядный сумматор с групповым переносом на микросхемах ИПЗ, 16-ти разрядный сумматор со сверхпараллельным переносом на микросхемах ИПЗ и ИП4, 64-х разрядный сумматор со сверхпараллельным переносом на микросхемах ИПЗ и ИП4).

Параллельный сумматор с групповым переносом, параллельный сумматор со сверхпараллельным переносом). Для параллельного сумматора со сверхпараллельным переносом приводится схема формирования подготовительных функции на примере 16-ти разрядного сумматора со сверхпараллельным переносом.

Описываются принципы построения сумматоров с различной структурной организацией (последовательный сумматор, параллельный сумматор, параллельный сумматор с последовательным переносом, параллельный сумматор с параллельным переносом).

Тема: Шинная организация

Рассматривается применение схем с тремя состояниями с использованием шинных формирователей. Приводятся примеры построения адресных селекторов для устройств, подключаемых к шине. Описывается работа многорежимного буферного регистра.

РАЗДЕЛ 3

Итоговая аттестация